

**THIN-FILM CHIP CAPACITOR AND ITS MANUFACTURE**

**Publication number:** JP11097289

**Publication date:** 1999-04-09

**Inventor:** KURAMOCHI TOSHIYUKI

**Applicant:** FUJITSU LTD

**Classification:**

- international: **H05K1/16; H01G4/33; H05K1/16; H01G4/33; (IPC1-7):**  
**H01G4/33; H05K1/16**

- European:

**Application number:** JP19970253676 19970918

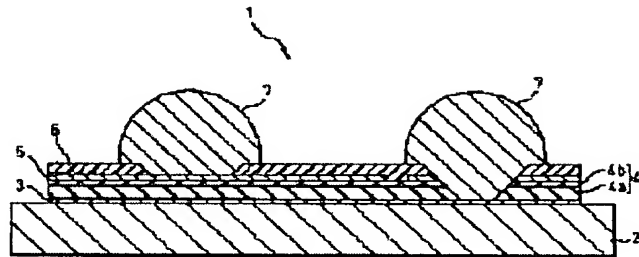
**Priority number(s):** JP19970253676 19970918

**Report a data error here**

**Abstract of JP11097289**

**PROBLEM TO BE SOLVED:** To provide a thin-film chip capacitor in which the occurrence of leakage currents is suppressed, and a method for manufacturing the capacitor.

**SOLUTION:** A thin-film chip capacitor has a lower electrode thin-film layer 3, a dielectric thin-film layer 4, an upper electrode thin-film layer 5, and a protective thin-film layer 6 which are successively formed in this order on a substrate 2 and bumps 7 for connection. The dielectric thin-film layer 4 is composed at least of two dielectric crystalline thin films 4a and 4b. This capacitor is manufactured by using a method for forming the dielectric thin-film layer 4 by repeating the forming process of the dielectric crystalline thin film 4 by applying a solution, containing the starting material of dielectric crystals to the layer 3 or thin film 4a from which the dielectric crystalline thin film is to be formed and forming a dried gel by drying the solution by the sol-gel method, and then, forming the dielectric crystals by heating the dried gel.



Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-97289

(43) 公開日 平成11年(1999) 4月9日

(51) Int.Cl.<sup>8</sup>

識別記号

F I

H 0 1 G 4/33

H 0 1 G 4/06

1 0 2

H 0 5 K 1/16

H 0 5 K 1/16

D

審査請求 未請求 請求項の数12 O L (全 9 頁)

(21) 出願番号

特願平9-253676

(22) 出願日

平成9年(1997) 9月18日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72) 発明者 倉持 俊幸

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

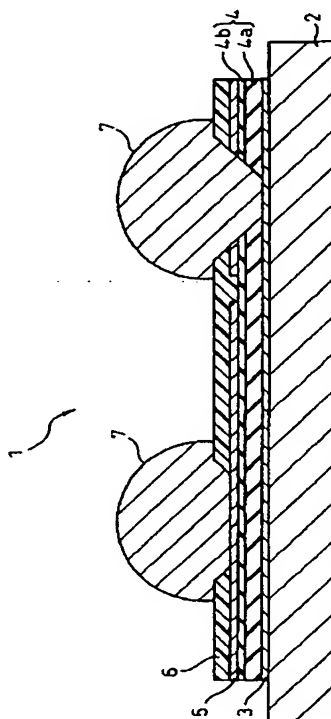
(74) 代理人 弁理士 石田 敬 (外3名)

(54) 【発明の名称】 薄膜チップコンデンサー及びその製造方法

(57) 【要約】

【課題】 漏洩電流の発生を抑制した薄膜チップコンデンサーとその製造方法を提供する。

【解決手段】 本発明のコンデンサーは、基板2上に順次形成した下部電極薄膜層3、誘電体薄膜層4、上部電極薄膜層5及び保護薄膜層6を有し、接続用のパンプ7を備えていて、誘電体薄膜層4が、少なくとも二つの誘電体結晶薄膜4a、4bから構成される。このコンデンサーは、誘電体結晶薄膜を形成しようとする層3又は薄膜4a上に誘電体結晶の出発物質を含む溶液を塗布してゾルーゲル法により乾燥ゲルを作り、次いでこの乾燥ゲルを加熱して誘電体結晶を生成させることにより誘電体結晶薄膜を形成する工程を繰り返すことで誘電体薄膜層4形成する方法で製造される。



## 【特許請求の範囲】

【請求項 1】 基板上に、下部電極薄膜層、誘電体薄膜層、上部電極薄膜層、及び保護薄膜層を順次形成した積層構造体を有し、保護薄膜層の表面に外部回路への接続用のパンプが位置している薄膜チップコンデンサーであって、上記誘電体薄膜層が少なくとも二つの誘電体結晶薄膜から構成されていることを特徴とする薄膜チップコンデンサー。

【請求項 2】 前記誘電体結晶薄膜が ST O、BST、PZT、PLZT、BTO、PMN又はTa<sub>2</sub>O<sub>5</sub>の結晶で形成されている、請求項 1 記載の薄膜チップコンデンサー。

【請求項 3】 基板上に、下部電極薄膜層、誘電体薄膜層、上部電極薄膜層、及び保護薄膜層を順次形成し、保護薄膜層の表面に外部回路への接続用のパンプを形成することにより薄膜チップコンデンサーを製造する方法であって、上記誘電体薄膜層を少なくとも二つの誘電体結晶薄膜の積層構造体として形成し、この積層構造体の形成を、当該誘電体結晶薄膜を形成しようとする層又は薄膜上に誘電体結晶の出発物質を含む溶液を塗布してゾルゲル法により乾燥ゲルを作り、次いでこの乾燥ゲルを加熱して誘電体結晶を生成させることにより誘電体結晶薄膜を形成する工程を繰り返すことを行うことを特徴とする薄膜チップコンデンサーの製造方法。

【請求項 4】 前記誘電体結晶薄膜を ST O、BST、PZT、PLZT、BTO、PMN又はTa<sub>2</sub>O<sub>5</sub>の結晶で形成する、請求項 3 記載の方法。

【請求項 5】 前記誘電体結晶の出発物質として金属アルコラートの溶液を使用する、請求項 3 又は 4 記載の方法。

【請求項 6】 前記金属アルコラートの溶液の塗布をスピンコート又はディップコートにより行う、請求項 5 記載の方法。

【請求項 7】 前記下部電極薄膜層の上に第一の誘電体結晶薄膜を形成後、この第一の誘電体結晶薄膜の形成に使用した金属アルコレート溶液を希釈した溶液を当該第一の誘電体結晶薄膜上に塗布して、第二の誘電体結晶薄膜を形成する、請求項 6 記載の方法。

\* 【請求項 8】 前記第二の誘電体結晶薄膜の形成に使用する金属アルコレート溶液の固形成分濃度が 0. 1 ～ 1. 0 重量%となるように、前記第一の誘電体結晶薄膜の形成に使用した溶液を希釈する、請求項 7 記載の方法。

【請求項 9】 前記第二の誘電体結晶薄膜の上に、当該第二の誘電体結晶薄膜の形成に使用したのと同じ溶液を使って更に一つ以上の誘電体結晶薄膜を形成する、請求項 7 又は 8 記載の方法。

【請求項 1 0】 前記第二の誘電体結晶薄膜の形成を加圧下のディップコートで行う、請求項 8 記載の方法。

【請求項 1 1】 前記第二の誘電体結晶薄膜と更にその上に形成する誘電体結晶薄膜のうちの少なくとも一つの形成を加圧下のディップコートで行う、請求項 8 記載の方法。

【請求項 1 2】 前記ディップコートを 1 0 1 3 ～ 5 0 6 6 h P a の圧力下で行う、請求項 1 0 又は 1 1 記載の方法。

## 【発明の詳細な説明】

## 【0 0 0 1】

【発明の属する技術分野】本発明は、薄膜チップコンデンサーに関する。より詳しく言えば、本発明は、誘電体薄膜をゾルゲル法（有機金属分解（MOD）法）により形成した薄膜チップコンデンサーに関する。

## 【0 0 0 2】

【従来の技術】近年の半導体装置は、高速化、高周波数化、低雑音化への対応が要求されている。一般に、同時スイッチングノイズ等の雑音を低減するためには、電源回路にバイパスコンデンサーを備えつけることが行われている。

【0 0 0 3】同時スイッチングノイズ等の、半導体装置の電源電圧変動を伴う雑音の低減には、電源回路のインピーダンスを下げるのが効果的であることが古くから知られている。よく知られているように、電源回路のインピーダンス Z は次式で与えられる。

## 【0 0 0 4】

## 【数 1】

$$Z = \sqrt{R^2 + (2\pi fL - 1/(2\pi fC))^2} \quad (1)$$

R : 電源回路導線抵抗

L : 電源回路導線インダクタンス

C : 電源回路静電容量

f : 周波数

【0 0 0 5】この式によれば、インピーダンス Z を最小にする周波数 f。が存在し、 $f。 = (2\pi(LC))^{-1/2}$  となる。電源回路の導線抵抗 R を小さくすれば、確かにインピーダンス Z は f。近傍で小さくできるが、実際には、ある周波数帯域においてインピーダ

ンスをある一定値以下に制御することが必要とされる。上記の式（1）で表される周波数とインピーダンスとの関係から、静電容量が大きくなるとある一定値以下のインピーダンスを与える周波数帯域が広くなること、インダクタンスが小さくなると f。が高周波数側へ移動する

こと、そして導線抵抗が小さくなるとインピーダンス全体が低くなることが分かる。導線インダクタンスと使用されるLSI等の半導体装置の持つ容量とを考慮すると、電源回路のバイパスコンデンサーは広帯域雑音除去フィルタとして機能することが望ましく、一般には $f_c = 3 \sim 5 f_{cl}$  ( $f_{cl}$  はシステムのクロック周波数を表す) 程度となり、そしてインピーダンスZは0.05~0.10Ω程度となるように制御することを要求されることが多い。

【0006】電源回路におけるバイパスコンデンサーとしては、セラミックコンデンサーが使用されている。セラミックコンデンサーは、誘電体としてセラミックを使用するものであり、誘電体材料の粉末のグリーンシート（これらのグリーンシートの一部のものには電極材料の導体が印刷されている）の積層体を一緒に焼成して製造される。セラミックコンデンサーにおいては、静電容量の要件を満足することはできても、外部への接続のために半田づけあるいは導電性樹脂での接合が利用されるので端子寸法を小さくできないことから、端子のインダクタンス成分を十分小さくするのが困難である。そのため、セラミックコンデンサーを使用する場合、特に高周波領域において、インピーダンスが大きくなってしま

う。

【0007】固体電解質コンデンサーをバイパスコンデンサーとして使用することも可能である。大部分の固体電解質コンデンサーは、電解質としてTCNQ錯塩、二酸化マンガン、ポリピロール等を使用し、電極材料としてアルミニウム又はタンタルを使用している。固体電解質コンデンサーの特徴は、静電容量を大きくできる一方で、形状が大きくなりやすく、温度特性と耐熱性の点でセラミックコンデンサーに劣ることである。

【0008】バイパスコンデンサーとして、薄膜チップコンデンサーを使用することも可能である。薄膜チップコンデンサーは、二つの電極層（金属薄膜層）の間に金属酸化物の誘電体薄膜層を挿入した積層構造体を基板上に形成したものであり、上部電極層の上に設けた表面保護層の上に外部回路へ接続するための半田バンプが形成されている。このような薄膜チップコンデンサーは、半導体装置の製造で利用される薄膜形成技術を使って製作するため、形状を小さくすることができ、半導体装置の実装で多用される表面実装技術に応用しやすいのが特徴である。更に、薄膜チップコンデンサーでは、外部回路への接続用の半田バンプを小さく形成できるためそのインダクタンス成分を小さくでき、また誘電体として金属酸化物を使用することで固体電解質コンデンサーを凌ぐ耐熱性を実現できる。

【0009】薄膜チップコンデンサーの製造においては、誘電体薄膜層の形成のためにゾルーゲル法（MOD法）が用いられている。具体的には、基板上に形成した下部電極層の上に、金属酸化物の誘電体薄膜材料の出発

物質である金属アルコラートの溶液（加水分解用の水を含む）を塗布し、加熱により加水分解及び重合反応を起こさせて溶液を有機金属酸化物のゾルの状態を通してゲルの状態（乾燥ゲル）に変化させ、この乾燥ゲルを更に加熱して、コンデンサーにおける誘電体として使用可能な結晶性無機材料（金属酸化物）に変化させる。

【0010】ゾルーゲル法での誘電体薄膜の形成において仮焼成で多孔質ゲル薄膜形成後にその薄膜上に加水分解したゾルを塗布し、再度仮焼成することでクラックのない厚い誘電体薄膜を得る技術が、特開平6-112550号公報に記載されている。この公報記載の技術は、圧電体としての誘電体薄膜に関するものであり、そしてゾルを再塗布する多孔質ゲル薄膜は完全に焼成して結晶化されておらず、結晶粒界が存在しない点で、本発明と本質的に異なる。

【0011】

【発明が解決しようとする課題】上述のように誘電体薄膜層をゾルーゲル法により形成したこれまでの薄膜チップコンデンサーには、表面実装技術に応用しやすく、外部回路への接続用の半田バンプのインダクタンス成分を小さくでき、固体電解質コンデンサーを凌ぐ耐熱性を有するという利点がある一方で、漏洩電流が比較的大きく、コンデンサーとしての電気的特性の面での改善が強く要望されていた。

【0012】そこで、本発明は、漏洩電流の発生を抑制した、電気的特性の優れた薄膜チップコンデンサーの提供を目的とする。また、このような薄膜チップコンデンサーを製造する方法を提供することも、本発明の目的である。

【0013】

【課題を解決するための手段】本発明の薄膜チップコンデンサーは、基板上に、下部電極薄膜層、誘電体薄膜層、上部電極薄膜層、及び保護薄膜層を順次形成した積層構造体を有し、保護薄膜層の表面に外部回路への接続用のバンプが位置している薄膜チップコンデンサーであって、誘電体薄膜層が、少なくとも二つの誘電体結晶薄膜から構成されていることを特徴とする。

【0014】本発明の薄膜チップコンデンサーの製造方法は、基板上に、下部電極薄膜層、誘電体薄膜層、上部電極薄膜層、及び保護薄膜層を順次形成し、保護薄膜層の表面に外部回路への接続用のバンプを形成することにより薄膜チップコンデンサーを製造する方法であって、誘電体薄膜層を少なくとも二つの誘電体結晶薄膜の積層構造体として形成し、この積層構造体の形成を、誘電体結晶薄膜を形成しようとする層又は薄膜上に誘電体結晶の出発物質を含む溶液を塗布してゾルーゲル法により乾燥ゲルを作り、次いでこの乾燥ゲルを加熱して誘電体結晶を生成させることにより誘電体結晶薄膜を形成する工程を繰り返すことで行うことを特徴とする。

【0015】

【発明の実施の形態】図1を参照して、本発明の薄膜チップコンデンサーを説明する。本発明の薄膜チップコンデンサー1は、基板2の上に形成した下部電極薄膜層3、誘電体薄膜層4、上部電極薄膜層5、及び保護薄膜層6の積層体を含み、保護薄膜層6の表面にパンプ7を備えている。この図に示された四つのパンプ7のうちの二つは上部電極薄膜層5に通じており、残りの二つは下部電極薄膜層3に通じている。また、この図には四つのパンプ7が示されているが、薄膜チップコンデンサー1はこれ以外の任意の数のパンプを備えることができる。

【0016】図1のI-I線断面図である図2に示したように、本発明の薄膜チップコンデンサー1の誘電体薄膜層4は、第一の誘電体結晶薄膜4aと第二の誘電体結晶薄膜4bの積層体から構成されている。この図に示された二つのパンプ7のうちの一方は保護薄膜層6に形成したコンタクトホールを介して上部電極薄膜層5に通じ、もう一方は保護薄膜層6、上部電極薄膜層5及び誘電体薄膜層4に形成したコンタクトホールを介して下部電極薄膜層3に通じている。

【0017】本発明の薄膜チップコンデンサー1で使用する基板2としては、半導体装置の製造で用いられるような薄膜形成技術を利用して薄膜を形成することができる任意の基板を使用することができる。代表例はシリコン基板である。基板として使用するシリコンの結晶面方位と不純物濃度は、どのようなものであってもよい。

【0018】下部及び上部の電極薄膜層3、5は、適当な金属材料から、例えばスパッタ法等の方法により、形成することができる。下部電極薄膜層3として好適な材料は、Pt（厚み約0.3 $\mu$ m）、Ir（厚み約0.3 $\mu$ m）、Ru（厚み約0.3 $\mu$ m）、Ti（厚み約0.1 $\mu$ m）とPt（厚み約0.3 $\mu$ m）との積層体、Ta（厚み約0.1 $\mu$ m）とPt（厚み約0.3 $\mu$ m）との積層体、Ru（厚み約0.3 $\mu$ m）とRuO<sub>2</sub>（厚み約0.2 $\mu$ m）との積層体等である。上部電極薄膜層5として適当な材料は、CrW（厚み約0.1 $\mu$ m）とCu（厚み約1.0 $\mu$ m）とCrW（厚み約0.1 $\mu$ m）との積層体、Cr（厚み約0.1 $\mu$ m）とCu（厚み約1.0 $\mu$ m）とCr（厚み約0.1 $\mu$ m）との積層体、TiN（厚み約0.1~0.2 $\mu$ m）とCu（厚み約1.0 $\mu$ m）とCr（厚み約0.1 $\mu$ m）との積層体、TiN（厚み約0.1~0.2 $\mu$ m）とCu（厚み約1.0 $\mu$ m）とCrW（厚み約0.1 $\mu$ m）との積層体（TiN薄膜を含む後者二つの積層体においてTiN薄膜は誘電体薄膜層に接触する側に配置される）等である。

【0019】誘電体薄膜層4は、第一の誘電体結晶薄膜4aと第二の誘電体結晶薄膜4bの積層体から構成される。誘電体薄膜層4を構成する誘電体結晶薄膜は、二つに限定されず、本発明の薄膜チップコンデンサーの誘電体薄膜層4は三つ以上の誘電体結晶薄膜から構成しても

よい。誘電体結晶薄膜は、例えば、下記の誘電性金属酸化物から選ばれた材料で形成することができる。

【0020】STO (SrTiO<sub>3</sub>)  
BST (Ba, Sr)TiO<sub>3</sub>)  
PZT (Pb (Zr, Ti)O<sub>3</sub>)  
PLZT ((Pb, La) (Zr, Ti)O<sub>3</sub>)  
BTO (BaTiO<sub>3</sub>)  
PMN (Pb (Mg<sup>1/3</sup> Nb<sup>2/3</sup>)O<sub>3</sub>)  
Ta<sub>2</sub>O<sub>5</sub>

10 【0021】誘電体薄膜4を構成する個々の誘電体結晶薄膜は、同一の材料から形成してもよく、異なる材料から形成してもよい。

20 【0022】それぞれの誘電体結晶薄膜は、それらの材料の金属酸化物又は金属複合酸化物の出発物質である金属アルコラートと加水分解用の水とを含む溶液（この溶液は一般に溶媒や重合触媒も含有する）を、誘電体結晶薄膜を形成すべき層（下部電極薄膜層）又は薄膜（既に形成した誘電体結晶薄膜）の表面に塗布し、ゾルーゲル法により金属酸化物の乾燥ゲルを作り、次いでこの乾燥ゲルを加熱して結晶化させて形成される。溶液を塗布する方法としては、スピンコート法やディップコート法を使用することができる。金属アルコラート出発物質から金属酸化物を作るゾルーゲル法は広く知られた方法であり、ここで詳細に説明するには及ばない。下記の実施例には、ゾルーゲル法で本発明の誘電体薄膜層を形成する方法が一例として詳しく記載されている。

30 【0023】誘電体結晶薄膜の出発物質である金属アルコラートとしては、所定の金属を含む任意のアルコラートを使用することができる。一例として、BST (Ba, Sr)TiO<sub>3</sub>)の誘電体結晶薄膜を形成しようとする場合には、Ba (OCH<sub>3</sub>)<sub>2</sub>、Sr (OCH<sub>3</sub>)<sub>2</sub>及びTi (OC<sub>2</sub>H<sub>5</sub>)<sub>4</sub>等のアルコラートを使用することができる。アルコラートを含む溶液は、個々のアルコラートを混合して調製してもよく、あるいは必要成分（アルコラート、水、溶媒、触媒等）を含む溶液として市販されているものを使用してもよい。そのような市販されている溶液の例として、株式会社高純度化学研究所製のST-06（STO誘電体薄膜形成用）、シンメトリック社製のSYM-SR05、SYN-BA05、SYN-TI05等を挙げることができ、このほかにも三菱マテリアル社から販売されている製品等を利用できる。

40 【0024】ゾルーゲル法で形成した金属複合酸化物の乾燥ゲルから所期の誘電体結晶薄膜を得るための加熱は、酸素雰囲気又は大気中において600~800℃の温度で行うことができる。

50 【0025】本発明における誘電体薄膜層の形成のためには、下部電極薄膜層上に形成した第一の誘電体結晶薄膜の上に、更に第二の誘電体結晶薄膜を形成する。第二の誘電体結晶薄膜は、第一の誘電体結晶薄膜と同じ出発

物質を使い、同じ処理工程で形成することができる。第一及び第二の誘電体結晶薄膜の厚みは、両方の薄膜の合計の厚みが本発明の薄膜チップコンデンサーの所定の電気的特性を得るのに必要な厚みになるように選ぶことができる。誘電体結晶薄膜は三つ以上形成してもよいが、コンデンサーの漏洩電流を抑制するという本発明の目的のためには、誘電体薄膜層は二つの誘電体結晶薄膜から構成されることで十分である。好ましくは、第一の薄膜をコンデンサーの誘電体薄膜層の所定の厚さに近い厚さとなるように形成し、第二の薄膜を、それに応じて薄く形成する。第二の薄膜を薄く形成するために、必要なら出発物質の金属アルコラート溶液の濃度を変えてもよい。例えば、市販の金属アルコラート溶液（その多くは一般に固形成分（ゲル化して薄膜をもたらし成分）の濃度が6〜8重量%程度である）を第一の薄膜の形成のためにそのまま使用し、そして第二の薄膜の形成のためにはこの溶液を例えば0.1〜1.0重量%程度に希釈した溶液を使用することができる。一般に、0.1重量%より低濃度の溶液ではゾルーゲル法で良好な乾燥ゲル膜を得るのが困難になり、1重量%を超える固形成分濃度の溶液では第二の薄膜の厚みを所望のように薄くするのに不利になる。

【0026】本発明においては、誘電体薄膜層をこのように少なくとも二つの誘電体結晶薄膜から構成することにより、薄膜チップコンデンサーの漏洩電流を抑制することができる。このメカニズムは十分解明されていないが、漏洩電流の経路と考えられる誘電体結晶の結晶粒界の間隙がその結晶薄膜の上に別の結晶薄膜を形成する際に埋め込まれることによるものと考えられる。図3に示したように、ゾルーゲル法で得られた乾燥ゲルを加熱し結晶化させて形成した誘電体薄膜4'には、結晶粒界が存在して、それらの結晶粒界の間隙11がコンデンサーの漏洩電流の原因になっているものと理解される。本発明により、図4に見られるように誘電体薄膜層4を二つの誘電体結晶薄膜4a及び4bで形成すると、下方の薄膜4a上に別の薄膜4bを形成する際にこの薄膜4bの材料の一部が薄膜4aの結晶粒界の間隙11を少なくとも部分的に埋め込み（この埋め込みの様子は図には示されていない）、それにより漏洩電流の経路を塞ぐものと考えられる。また、薄膜4aの結晶粒界の位置と薄膜4bの結晶粒界（図示せず）との位置がずれることも考えられ、これによっても漏洩電流の経路が遮断されるのではないかと考えられる。

【0027】更に、誘電体薄膜層を二つの結晶薄膜から構成すれば、結晶粒界より大きい異物（例えば有機物）の欠落による欠陥や、ピンホール等を被覆する効果も期待でき、そのため薄膜チップコンデンサーの電気的特性の向上に貢献することもできる。従って、特にディップコート法を使用する場合には、二番目以降の誘電体結晶薄膜のうちの少なくとも一つのものの形成のための金属

アルコラート溶液の塗布は大気圧以上の加圧下で、例えば1013〜5066hPaの圧力下で、行うのが有利である。

【0028】上部電極薄膜層5の上の保護薄膜層6（図1、2）は、パンプ電極形成時の耐熱性、薄膜チップコンデンサー実装時の耐熱性等の条件を考慮して、例えば感光性ポリイミド樹脂、非感光性ポリイミド樹脂、エポキシ樹脂、ビスマレイミドトリアジン樹脂等の各種樹脂材料から形成することができる。

【0029】外部回路への接続用のパンプ7（図1、2）は、任意の半田から形成することができる。適当な半田の例として、Pb-Sn半田、In半田、In-Sn半田、In-Pb半田等を挙げることができる。あるいは、金をパンプ材料として使用してもよい。パンプ7は、適当な大きさの半田ボールを所定の位置に載置後、熱処理してリフローさせることで形成することができる。あるいは、メッキ、転写、蒸着等の手法により半田材料を被着後、リフローさせて形成してもよい。

【0030】半田パンプ7を形成する際には、半田パンプ7が接続する上部又は下部電極薄膜層に通じるコンタクトホールを形成後、半田パンプ7と接する部分にバリアメタル薄膜層（図1、2には示されていない）を形成するのが一般的である。バリアメタル薄膜層は、電解メッキあるいは無電解メッキにより形成することができる。バリアメタル材料は、使用するパンプ材料に応じて選ぶのが好ましい。例えば、パンプ材料がPb-Sn半田である場合には、バリアメタル薄膜層はNi（厚み約2.0μm）とAu（厚み約0.1μm）から形成することができる。また、パンプ材料がIn半田、In-Sn半田、In-Pb半田の場合にはバリアメタル材料としてPtを使用することができ、パンプ材料がAuの場合にはバリアメタル材料としてPdとPtを使用することができる。

【0031】上述の説明から理解されるように、本発明の薄膜チップコンデンサーは、誘電体薄膜層をゾルーゲル法を繰り返して形成することを除いて、通常の半導体装置の生産で利用されている薄膜形成手法及びパンプ形成手法を使って製造される。ゾルーゲル法がよく知られているのと同様に、そのような薄膜形成手法もパンプ形成手法も広く知られており、ここで詳細に説明するには及ばない。下記の実施例には、それらの手法の一例が具体的に記載されている。

#### 【0032】

【実施例】次に、実施例により本発明を更に説明する。本発明がこれらの実施例によりいささかも限定されないことは言うまでもない。

【0033】〔実施例1〕この例は、誘電体材料としてSTO（SrTiO<sub>3</sub>）の結晶を使用した薄膜チップコンデンサーを説明する。

【0034】図5（a）に示したように、厚さ650μ

mのシリコン基板21を湿潤条件下に1000℃で熱酸化して、基板表面に厚さ0.3μmの酸化膜(図示せず)を形成後、この酸化膜の上にスパッタ法で厚さ0.3μmのPt薄膜を堆積し、そしてこのPt薄膜をパターン化して下部電極薄膜層22を形成した。

【0035】次に、下部電極薄膜層22の上にSTOの出発物質の金属アルコラートを含む溶液(株式会社高純度化学研究所のST-06)をスピコートし、0.1μmの塗膜を形成後、200℃で30分間乾燥させ(この乾燥はデジケータを使って行ってもよい)、続いて酸素雰囲気中において500℃で60分間熱処理してSTOの乾燥ゲルを形成した。金属アルコラート溶液の塗布から乾燥ゲルの形成に至る一連の作業を更に2回繰り返した。最後の(すなわち3回目の)乾燥ゲルの形成後、引き続き酸素雰囲気下に650℃で結晶化熱処理を60分間行って、第一の結晶薄膜23aを形成した(図5(b))。

【0036】この第一の結晶薄膜23aの上に、STO誘電体薄膜形成用ST-06を希釈して固形分濃度を0.6重量%に低下させた溶液をスピコートして0.03μmの塗膜を形成し、200℃で30分間乾燥させ、酸素雰囲気中で500℃で60分間加熱後、得られたゲルを引き続き650℃で60分間加熱して結晶化させ、第二の結晶薄膜23bを形成して、誘電体薄膜層23を作製した(図5(b))。

【0037】次に、図5(c)に示すように、形成した誘電体結晶薄膜23をエッチングして下部電極接続用のコンタクトホール24を形成した。エッチング液には2.5%HFあるいは2.5%BHF(緩衝剤入りHF)を使用した。続いて、上部電極薄膜層を構成するCrW、Cu、CrW薄膜をスパッタ法によりそれぞれ0.1μm、1.0μm、0.1μmの厚みで形成し、エッチングによりパターンニングして上部電極薄膜層25を形成した。図5(c)には、簡単にするため、上部電極薄膜層25を構成する上記三つの薄膜は示していない。また、この図及び以下で参照する図5(d)、図6(a)及び図6(b)においては、誘電体結晶薄膜層23を構成する二つの結晶薄膜23aと23bは、やはり簡単にするため示さないことにする。

【0038】続いて、上部電極薄膜層25の上に感光性ポリイミド(旭化成社製PIMELG7613N)を塗布し、紫外線で重合させてその後熱硬化させることで厚さ5.0μmの薄膜を形成した。この薄膜をエッチングでパターンニングして、下部電極薄膜層22に通じるコンタクトホール24'と上部電極薄膜層25に通じるコンタクトホール27を備えた保護薄膜層26を形成した(図5(d))。

【0039】保護薄膜層26の上に厚さ2.0μmのNi膜と厚さ0.1μmのAu膜を順次メッキ法で形成し、パターンニングして、パンプの下地層となるバリヤメ

タル薄膜層28を形成した(図6(a))。この図において、バリヤメタル薄膜層28を構成するNi膜とAu膜は、簡単にするため示されていない。

【0040】次いで、コンタクトホール28の位置に直径100μmの半田(Pb/Sn=40/60wt%)のボールを配置し、200℃で60秒間熱処理してリフローさせ、半田バンプ29を形成した(図6(b))。

【0041】こうして作製した薄膜チップコンデンサの特性を測定した。得られた結果を、第二の誘電体結晶薄膜23bを形成しなかったことを除いて同様に作製した薄膜チップコンデンサーについて得られた結果と比較して、図7に示す。実線が本発明の実施例のコンデンサーについての結果であり、破線が比較用のコンデンサーについての結果である。本発明のコンデンサーでは比較のコンデンサーに比べて漏洩電流がおよそ1/3に低下していることが分かる。

【0042】〔実施例2〕誘電体薄膜層として二つのSTO膜の代わりに二つのBST(Ba, Sr)TiO<sub>3</sub>膜を用いたことを除いて、実施例1と同様に薄膜チップコンデンサーを作製した。BST膜の形成には、株式会社高純度化学研究所製のアルコラート溶液(BST-06)を実施例1と同様の条件で使用した。

【0043】作製した薄膜チップコンデンサの特性を測定した。得られた結果を、第二の誘電体結晶薄膜を形成しなかったことを除いて同様に作製した薄膜チップコンデンサーについて得られた結果と比較して、図8に示す。この図でも、実線が本発明の実施例のコンデンサーについての結果であり、破線が比較用のコンデンサーについての結果である。この場合にも、本発明のコンデンサーでは比較のコンデンサーに比べて漏洩電流がおよそ1/3に低下していた。

【0044】

【発明の効果】以上説明したように、本発明によれば、誘電体層の結晶粒界を経路とする漏洩電流を大きく抑制した、電気的特性の優れた薄膜チップコンデンサーを提供することができる。

【図面の簡単な説明】

【図1】本発明の薄膜チップコンデンサーを説明する斜視図である。

【図2】図1のI-I線断面図である。

【図3】ゾルゲル法で形成した誘電体結晶薄膜を説明する図である。

【図4】本発明の薄膜チップコンデンサーにおける誘電体薄膜層を説明する図である。

【図5】実施例1の薄膜チップコンデンサーの製造工程の前半を説明する図である。

【図6】実施例1の薄膜チップコンデンサーの製造工程の後半を説明する図である。

【図7】実施例1の薄膜チップコンデンサーについて得られた特性を説明するグラフである。

【図8】実施例2の薄膜チップコンデンサーについて得られた特性を説明するグラフである。

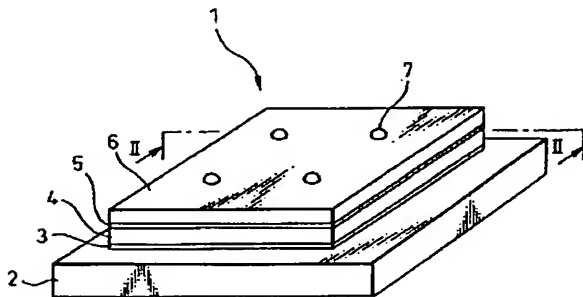
【符号の説明】

- 1…薄膜チップコンデンサー  
2…基板  
3…下部電極薄膜層  
4…誘電体薄膜層  
4 a、4 b…誘電体結晶薄膜  
5…上部電極薄膜層  
6…保護薄膜層

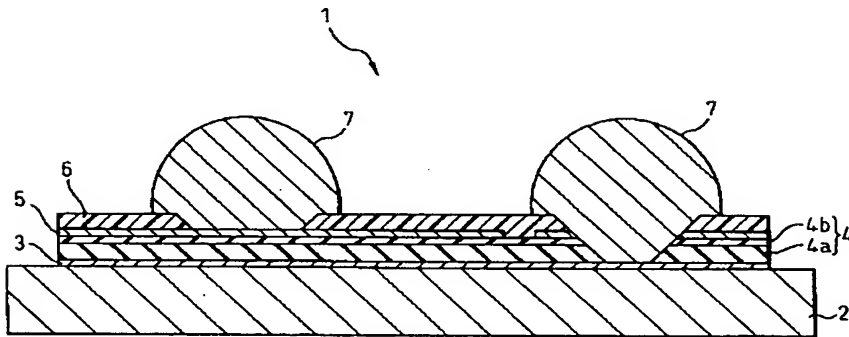
\* 7…パンプ

- 1 1…結晶粒界の間隙  
2 1…シリコン基板  
2 2…下部電極薄膜層  
2 3…誘電体薄膜層  
2 4、2 4'、2 7…コンタクトホール  
2 5…上部電極薄膜層  
2 6…保護薄膜層  
2 8…バリアメタル薄膜層  
\*10 2 9…半田バンプ

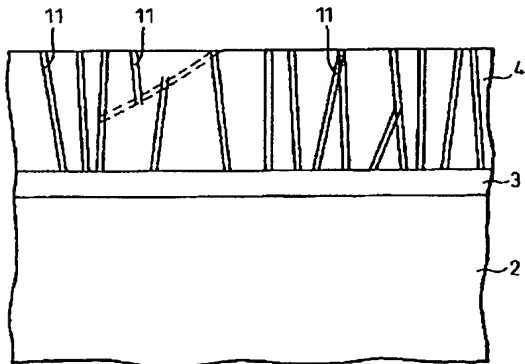
【図1】



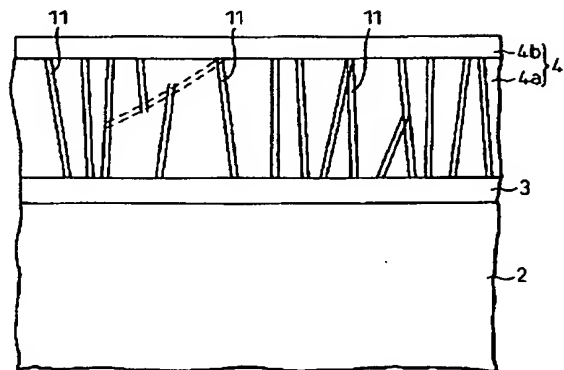
【図2】



【図3】

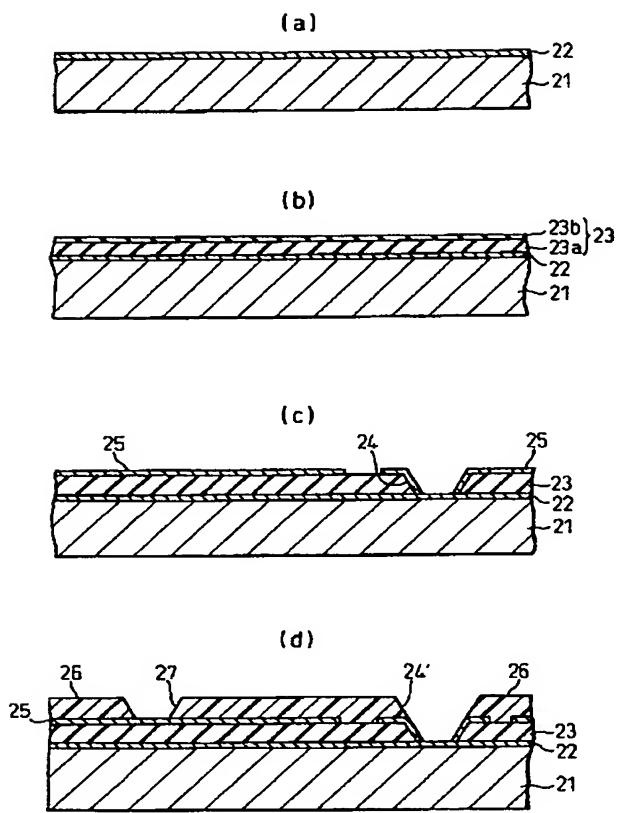


【図4】

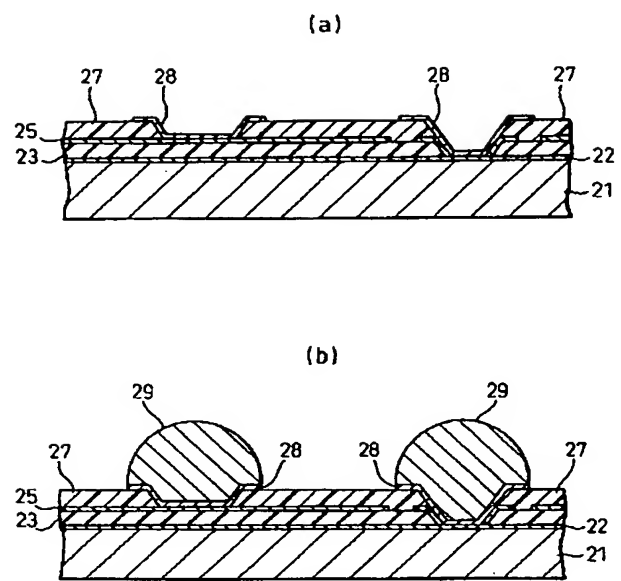




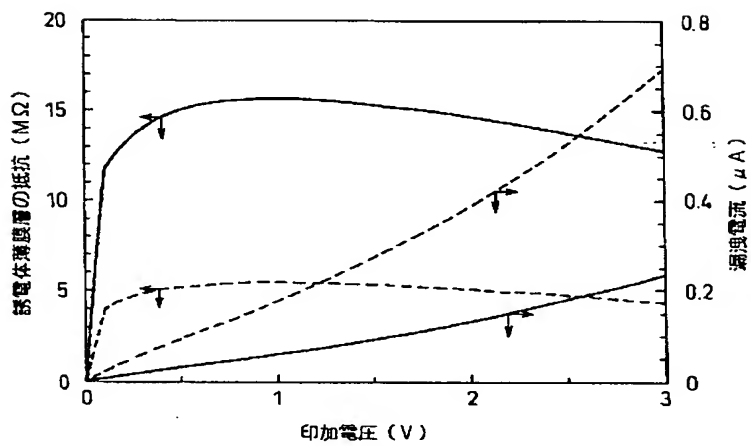
【図 5】



【図 6】



【図 7】



【図8】

